

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186288

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H01L 25/04

H01L 25/18

H01L 23/50

H01L 23/52

(21)Application number : 07-352993

(71)Applicant : SHINDENGEN ELECTRIC MFG CO LTD

(22)Date of filing : 28.12.1995

(72)Inventor : FURUSATO KOJI

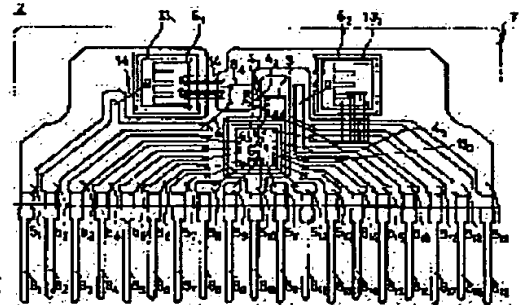
YOKOTA YOSHIO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which semiconductor chip components disposed at separate positions can be connected without using an insulating board.

**SOLUTION:** When semiconductor chip components 61 to 64 are provided on a plurality of lead frames 81 to 819 electrically insulated from each other without insulating board and the frames 81 to 819 are contained in a package 7 to constitute a multi-chip module 2, a repeating chip component 3 is provided on a lead frame 510 without insulating board, wire bonding with the component 3 as a second bonding side is conducted, and the components 61 to 64 are connected to the chip 3 via the component 3 and repeating wires 41 to 45. The second bonding is facilitated, and the chips of the separate positions can be electrically connected. When a semiconductor board is used for the chip component, the bondability of the wires 41 to 45 is further improved.



## LEGAL STATUS

[Date of request for examination] 23.06.2000

[Date of sending the examiner's decision of rejection] 11.06.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-186288

(43) 公開日 平成9年(1997)7月15日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	25/04		H 0 1 L 25/04	Z
	25/18		23/50	W
	23/50		23/52	D
	23/52			

審査請求 未請求 請求項の数 2 F D (全 6 頁)

(21) 出願番号 特願平7-352993

(22) 出願日 平成7年(1995)12月28日

(71) 出願人 000002037

新電元工業株式会社

東京都千代田区大手町2丁目2番1号

(72) 発明者 古里 広治

埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

(72) 発明者 横田 芳夫

埼玉県飯能市南町10番13号 新電元工業株式会社飯能工場内

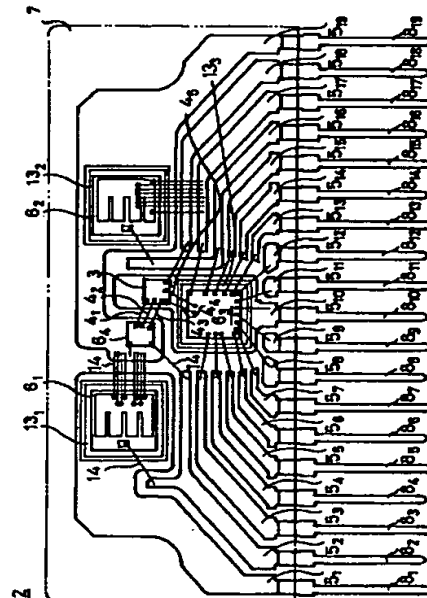
(74) 代理人 弁理士 石島 茂男 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 絶縁基板を用いずに離れた位置にある半導体チップ部品同士を接続できる半導体装置を提供する。

【解決手段】 互いに電気的に絶縁された複数のリードフレーム8<sub>1</sub>～8<sub>11</sub>上に、絶縁基板を介さずに半導体チップ部品6<sub>1</sub>～6<sub>6</sub>を設け、各リードフレーム8<sub>1</sub>～8<sub>11</sub>をパッケージ7内に納めてマルチチップモジュール2を構成する際、リードフレーム5<sub>1</sub>上に絶縁基板を介さずに中継チップ部品3を設け、この中継チップ部品3をセカンドボンディング側とするワイヤーボンディングを行い、半導体チップ部品6<sub>1</sub>～6<sub>6</sub>と中継チップ3とを、中継チップ部品3と中継ワイヤー4<sub>1</sub>～4<sub>3</sub>とによって接続する。セカンドボンディングが容易になり、また、離れた位置にある半導体チップ同士も電気的に接続することが可能となる。半導体基板を中継チップ部品に用いれば、中継ワイヤー4<sub>1</sub>～4<sub>3</sub>のボンディング性が一層向上する。



## 【特許請求の範囲】

【請求項1】 各々半導体基板を有する中継チップ部品と複数の半導体チップ部品と、

互いに接触しないように配置され、パッケージ内部に納められた複数のリードフレームとを有し、

前記中継チップ部品と前記半導体チップ部品とが、各々前記リードフレーム上に絶縁基板を介さず設けられた半導体装置であって、

前記半導体チップ部品と前記中継チップ部品との間を電気的に接続する中継ワイヤーが設けられたことを特徴とする半導体装置。

【請求項2】 前記中継ワイヤー間が、金属薄膜によって電気的に接続されたことを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は絶縁基板を用いない半導体装置の技術分野にかかり、特に、複数の半導体チップ部品を有するマルチチップモジュールに関する。

【0002】

【従来の技術】近年では、電子装置の小型・高密度化が増々進んでおり、従来は個別部品で使用されていたパワーデバイスも、駆動回路や保護回路をと共に1つのパッケージ内にチップ部品の形で組み込まれたマルチチップモジュールが多用されるようになってきた。

【0003】マルチチップモジュール内にパワーデバイスチップを納めたい場合には、従来技術では、金属で構成されたリードフレーム上にパワーデバイスチップを設け、リードフレーム上に配置したアルミナ基板の表面にICチップを乗せ、パワーチップとICチップとを絶縁させながら、アルミナ基板上のボンディングパッドを利用して各チップの所定のボンディングパッドに金線ワイヤーをボンディングし、チップ同士やチップと内蔵電子部品とを接続したハイブリッドIC(半導体装置)が用いられていた。

【0004】そのような従来技術のハイブリッドICを、図4(a)~(c)の符号102に示して具体的に説明すると、このハイブリッドIC102は、エポキシ樹脂がトランスファーモールドで成形されて成るパッケージ107を有しており、その側面120から6個の端子108<sub>1</sub>~108<sub>6</sub>が導出されている。そのうちの一本の端子108<sub>1</sub>には、平板状に成形された金属基板105が電気的、機械的に接続され、パッケージ107内に位置するようにされている。

【0005】この金属基板105表面のうち、各端子108<sub>1</sub>~108<sub>6</sub>から離れた上方位置には、パワーデバイスチップ106の底面が半田付けで固定されており、前記各端子108<sub>1</sub>~108<sub>6</sub>に近い下方位置には絶縁基板109がエポキシ樹脂によって固定されている。

【0006】絶縁基板109上には、ICチップ103

を含む電子回路が設けられており、該電子回路内にボンディングパッド121が設けられ、パワーデバイス106表面のボンディングパッドと前記ボンディングパッド121とが金線ワイヤー116で接続され、また、電子回路内の他のボンディング116と端子108<sub>1</sub>、108<sub>2</sub>、108<sub>3</sub>~108<sub>6</sub>とが金線ワイヤー116によって接続され、各端子108<sub>1</sub>~108<sub>6</sub>をプリント基板に挿入してこのハイブリッドIC102を外部回路に接続すると、パワーデバイスチップ106を制御できるように構成されている。

【0007】このようなハイブリッドIC102では、金属基板105上にパワーデバイスチップ106が配置されていることから、パッケージ107の熱分布が均一となり、また、パワーデバイスチップ106とICチップ103との熱結合性が良好なことから、大電流を扱い、発熱量が大きい回路に広く使用されている。

【0008】しかしながら、シリコン単結晶等の半導体基板で構成されるICチップ103と、アルミナ等で構成される絶縁基板109とでは構成物質が相違し、熱膨張係数も相違してしまう。その場合、ハイブリッドIC102に印加される熱サイクルの状態によっては、ICチップ103自体や、ICチップ103と絶縁基板109との接続部分にクラックが生じ、ハイブリッドIC102が故障する原因となってしまうという問題があった。

【0009】また、図4(c)に示すように、金属基板105からのICチップ103表面の高さは、そのチップの厚みに絶縁基板109の厚みが加算されるため、端子108<sub>1</sub>~108<sub>6</sub>との段差が大きくなり、ワイヤーボンディング性が悪化し、歩留まりが低下する。また、ハイブリッドIC102が厚くなるという問題があった。

【0010】他方、近年では、パッケージ内で互いに接触しないように配置されたリードフレーム上にパワーデバイスチップやICチップ等の半導体チップ部品を直接設けたハイブリッドICも用いられるようになっているが、絶縁基板上に設けられた回路を有さないために、接続すべき半導体チップ部品間の距離が大きく、金線ワイヤーによって直接接続すると、サギングによって半導体チップ表面やリードフレーム表面に接触してしまったり、トランスファーモールドの際に金線切れが生じる等、歩留まりを低下させる原因となっていた。また、金線ワイヤーのセカンドボンディング側では金線ボールがないため、広いボンディング面積を必要とするが、パワーデバイスチップやICチップ表面にセカンドボンディングを行おうとすると、広いボンディングパッドの下は能動素子を配置できない無効領域となり、チップ全体の面積増、ひいてはコスト増を招いており、解決が望まれていた。

【0011】

【発明が解決しようとする課題】本発明は上記従来技術

の不都合を解決するために創作されたもので、その目的は、絶縁基板を用いずに半導体チップ間を接続できる半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、各々半導体基板を有する中継チップ部品と複数の半導体チップ部品と、互いに接触しないように配置され、パッケージ内部に納められた複数のリードフレームとを有し、前記中継チップ部品と前記半導体チップ部品とが、各々前記リードフレーム上に絶縁基板を介さずに設けられた半導体装置であって、前記半導体チップ部品と前記中継チップ部品との間を電気的に接続する中継ワイヤーが設けられたことを特徴とし、請求項2記載の発明は、請求項1記載の半導体装置であって、前記中継ワイヤー間が、金属薄膜によって電気的に接続されたことを特徴とする。

【0013】このような本発明の構成によれば、各々半導体基板を有する中継チップ部品と複数の半導体チップ部品とを、互いに接触しないように配置された複数のリードフレーム上に、絶縁基板を介さずに設け、各リードフレームをパッケージ内に納めて半導体装置を構成する際、前記中継チップ部品と前記半導体チップ部品との間を電気的に接続する中継ワイヤーを設ければ、前記半導体チップ部品同士を相互に電気的に接続することが可能となる。中継ワイヤーをボンディングする際には、コストの低い中継チップ部品をセカンドボンディング側にできるので、セカンドボンディングのためのボンディングパッド面積を大きくすることができる。

【0014】また、中継チップ部品と中継ワイヤーとによって半導体チップ部品間を接続させるので、1本の中継ワイヤーの長さを短くでき、離れた位置にある半導体チップ部品同士も歩留まりを低下させることなく接続することが可能となる。

【0015】その場合、一般にはパッケージ内に納められるリードフレームの高さは互いに等しくなるようにされているので、前記中継チップ部品と半導体チップ部品との高さが略等しくなるようにしておけば、中継ワイヤーのファーストボンディング面とセカンドボンディング面の高さを略等しくできる。従って、段差があると位置決めが困難となるセカンドボンディングが容易となり、また、セカンドボンディングの面積も小さくすることが可能となる。なお、中継チップ部品と半導体チップ部品とが同じ材料の半導体基板上で構成されている場合は、銀ろう等の同じ固着剤でリードフレームに固定することができるので、用いられる材料の種類が少なくなり、半導体装置の耐熱サイクル性が向上する。

【0016】中継チップ部品の有する半導体基板上に直接金属薄膜(アルミニウム薄膜等)を成膜し、その表面に中継ワイヤーをボンディングすることも可能であるが、その場合にはボンディングする中継ワイヤー同士を絶縁

することができないので、中継チップ部品が有する半導体基板上に絶縁膜を成膜し、この絶縁膜上に金属薄膜を設け、次いでエッチング成形して互いに絶縁されたボンディングパッドを形成し、それらボンディングパッド上に中継ワイヤーをボンディングさせるようにすれば、中継ワイヤーを何本でも使用することが可能となる。

【0017】その場合、中継チップ部品上で離れた位置にあるボンディングパッド同士を、エッチング成形の際に形成した金属薄膜の配線で電気的に接続するようにしておけば、離れた位置にある中継ワイヤー同士を接続することが可能となる。そのときは、中継ワイヤー同士を接続した配線薄膜の長さの分だけ中継ワイヤーを短くできるので、一層ワイヤーボンディングの歩留まりが向上して好ましい。

【0018】

【発明の実施の形態】本発明の実施の形態を図面を用いて説明する。図1を参照し、符号2は本発明の一実施の形態の半導体装置であり、一般にはマルチチップモジュールと呼ばれるものである。

【0019】このマルチチップモジュール2は、エポキシ樹脂がトランスファーモールドによって形成されて成るパッケージ7を有している。該パッケージ7は、厚み約4mm、平面は約50mm×20mmの長方形形状になるようにされており、その内部にリードフレーム5<sub>1</sub>～5<sub>11</sub>が納められている。このリードフレーム5<sub>1</sub>～5<sub>11</sub>の一端は、パッケージ7の側面に並べられ、棒状に成形された端子8<sub>1</sub>～8<sub>11</sub>が電気的・機械的に接続され、各端子8<sub>1</sub>～8<sub>11</sub>がパッケージ7長辺の側面から導出されており、後工程でZIP(ジグザグインラインパッケージ)型の端子配列に成形できるようにされている。

【0020】各リードフレーム5<sub>1</sub>～5<sub>11</sub>は、予め互いに分離するように成形されており、トランスファーモールドの際には各端子8<sub>1</sub>～8<sub>11</sub>を連設するタイバーによって一体に取り扱えるようにされているが、パッケージ7の形成後、前記タイバーが切断されて各端子8<sub>1</sub>～8<sub>11</sub>が分離されると、各リードフレーム5<sub>1</sub>～5<sub>11</sub>の電気的短絡状態が解消されるように構成されている。

【0021】前記リードフレーム5<sub>1</sub>～5<sub>11</sub>のうち、図面左端に位置するリードフレーム5<sub>1</sub>と右端に位置するリードフレーム5<sub>11</sub>には、平面状のリードフレーム材が大面积に形成されて成るダイボンディング部13<sub>1</sub>、13<sub>11</sub>がそれぞれ設けられており、各ダイボンディング部13<sub>1</sub>、13<sub>11</sub>の表面には、半導体チップ部品であるパワーMOS-FETチップ6<sub>1</sub>、6<sub>11</sub>が絶縁基板を介さずに配置され、その底面のドレイン領域が半田付けによって直接固定されている。その2つのダイボンディング部13<sub>1</sub>、13<sub>11</sub>は互いに離間して位置するように配置され、2つのパワーMOS-FETチップ6<sub>1</sub>、6<sub>11</sub>同士はパッケージ7内で離れたところに位置するようにされ、パワ

10

20

30

40

50

ーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>の発生する熱を、パッケージ7内に均等に分配できるように構成されている。

【0022】2つのダイボンディング部13<sub>1</sub>、13<sub>2</sub>の間には、リードフレーム5<sub>10</sub>、5<sub>11</sub>の幅広に形成された先端部分が位置するようにされ、また、前記リードフレーム5<sub>10</sub>の先端部分と端子5<sub>10</sub>の間には、前記ダイボンディング部13<sub>1</sub>、13<sub>2</sub>と同様のダイボンディング部13<sub>3</sub>が設けられている。前記リードフレーム5<sub>10</sub>、5<sub>11</sub>の幅広に形成された先端部表面には、半導体基板を有する中継チップ部品3と、半導体チップ部品であるICチップ6<sub>1</sub>とが、それぞれ、絶縁基板を介さずに銀ペーストによって直接固定されており、また、前記ダイボンディング部13<sub>1</sub>には、同様に、半導体チップ部品であるICチップ6<sub>2</sub>が銀ペーストによって固定されている。このような配置により、このICチップ6<sub>1</sub>は、前記2つのパワーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>の間に位置し、その下方に前記ICチップ6<sub>2</sub>が位置するようにされている。

【0023】これらのリードフレーム5<sub>1</sub>～5<sub>11</sub>は電気導電性を有する銅合金が銀メッキされて構成されており、前記パワーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>のドレイン領域は、半田とリードフレーム5<sub>1</sub>、5<sub>11</sub>とによって端子8<sub>1</sub>、8<sub>11</sub>にそれぞれ電氣的に接続され、また、前記ICチップ6<sub>1</sub>、6<sub>2</sub>のサブストレートは銀ペーストとリードフレーム5<sub>10</sub>、5<sub>11</sub>を介して端子8<sub>10</sub>、8<sub>11</sub>にそれぞれ電氣的に接続されている。

【0024】パワーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>のゲート、ソースに設けられたボンディングパッドは、金線ワイヤー14によって、それぞれリードフレーム5<sub>1</sub>、5<sub>11</sub>、5<sub>12</sub>にそれぞれ接続されている。

【0025】この金線ワイヤー14は、ボンディングパッドとリードフレーム間をボールボンディングによって接続する金属細線であり、この金線ワイヤーによって、ICチップ6<sub>1</sub>表面に設けられた17個のボンディングパッドのうち、15個のボンディングパッドがリードフレーム8<sub>1</sub>～8<sub>11</sub>にそれぞれ接続され、ICチップ6<sub>2</sub>表面に設けられた5個のボンディングパッドのうち、2個のボンディングパッドはリードフレーム8<sub>1</sub>、8<sub>11</sub>にそれぞれ接続され、また、中継チップ部品3上の6個のボンディングパッドのうち1個のボンディングパッドはリードフレーム5<sub>10</sub>に接続されている。

【0026】その金線ワイヤー14の接続の際、接続容易なファーストボンディングは面積の狭いチップ表面のボンディングパッド上で行われ、接続困難なセカンドボンディングは、ボンディング可能な面積の広いリードフレーム5<sub>1</sub>～5<sub>11</sub>側で行われている。

【0027】また、ICチップ6<sub>1</sub>、6<sub>2</sub>のボンディングパッドと、中継チップ部品3のボンディングパッドとは、チップ間を接続する金線ワイヤーである中継ワイヤー4<sub>1</sub>～4<sub>4</sub>によって接続されており、その中継チップ部

品3を図2に示してその構造と接続状態を説明すると、該中継チップ部品3は、パワーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>やICチップ6<sub>1</sub>、6<sub>2</sub>と同様のシリコン単結晶から成る半導体基板25を有しており、リードフレーム5<sub>10</sub>への取付に使用される銀ペーストは、ICチップ6<sub>1</sub>、6<sub>2</sub>と同じものが使用されている。

【0028】この中継チップ部品3では、パワーMOS-FET6<sub>1</sub>、6<sub>2</sub>やICチップ6<sub>1</sub>、6<sub>2</sub>と異なって、半導体基板25内にはトランジスタやダイオード等の電子部品は設けられておらず、その表面にはシリコン酸化膜26が直接成膜されている。前記シリコン酸化膜26表面には、金属薄膜(アルミニウム薄膜)がエッチング成形されて成るボンディングパッド21<sub>1</sub>～21<sub>4</sub>が形成されており、各ボンディングパッド21<sub>1</sub>～21<sub>4</sub>は、チップ表面の一边近傍に配置され、残りのボンディングパッド21<sub>1</sub>、21<sub>2</sub>は、その一边と直交する辺の近傍に配置されている。

【0029】それらボンディングパッド21<sub>1</sub>～21<sub>4</sub>は、ICチップ6<sub>1</sub>、6<sub>2</sub>に設けられたボンディングパッドよりも面積が大きく形成されており、各ボンディングパッド21<sub>1</sub>～21<sub>4</sub>上には、中継ワイヤー4<sub>1</sub>～4<sub>4</sub>が、ICチップ6<sub>1</sub>、6<sub>2</sub>上のボンディングパッドをファーストボンディング側とし、中継チップ部品3上の前記各ボンディングパッド21<sub>1</sub>～21<sub>4</sub>をセカンドボンディング側としてそれぞれ接続されている。

【0030】この中継チップ部品3では、半導体基板の厚みはパワーMOS-FETチップ6<sub>1</sub>、6<sub>2</sub>やICチップ6<sub>1</sub>、6<sub>2</sub>の厚みと略等しくなるようにされており、中継ワイヤー4<sub>1</sub>～4<sub>4</sub>をボンディングする際には、ファーストボンディングを行う高さと同様にセカンドボンディングを行う高さと同様に略等しくなるので、各中継ワイヤー4<sub>1</sub>～4<sub>4</sub>の接続が容易にできるようにされている。

【0031】中継チップ部品3上のボンディングパッドのうち、ボンディングパッド21<sub>1</sub>とボンディングパッド21<sub>2</sub>とは一体にされており、また、ボンディングパッド21<sub>2</sub>とボンディングパッド21<sub>3</sub>とは、前記金属薄膜(アルミニウム薄膜)がエッチング成形されて成る金属薄膜配線22<sub>1</sub>によって互いに電氣的に接続され、中継ワイヤー4<sub>1</sub>、4<sub>2</sub>と、中継ワイヤー4<sub>3</sub>、4<sub>4</sub>とで、前記ICチップ6<sub>1</sub>、6<sub>2</sub>の2つのボンディングパッド同士が接続されている。また、ボンディングパッド21<sub>1</sub>とボンディングパッド21<sub>4</sub>とも金属薄膜配線22<sub>1</sub>によって互いに電氣的に接続されている。

【0032】なお、前記金属薄膜配線表面には、図示しない保護膜が成膜され、該保護膜の各ボンディングパッド21<sub>1</sub>～21<sub>4</sub>表面部分には窓開けが施され、アルミニウム表面が露出するようにされており、その露出部分に中継ワイヤー4<sub>1</sub>～4<sub>4</sub>が接続できるので、各中継ワイヤー4<sub>1</sub>～4<sub>4</sub>の接続性を悪化させることなく、各ボンディングパッド21<sub>1</sub>～21<sub>4</sub>や金属薄膜配線22<sub>1</sub>、22<sub>2</sub>を

腐食やマイグレーションから保護できるように構成されている。

【0033】このように、ICチップ6、とICチップ6、とは、前記中継チップ3表面のボンディングパッド21、21、と、パワーMOS-FETチップ4、4、と、金属薄膜配線22、と、中継ワイヤー4、4、とによって電氣的に接続されており、半導体チップ部品間が互いに電氣的に接続されるように構成されている。従って、各リードフレーム5、5、に接続された端子8、8、をプリント基板に半田付けして実装して外部回路と接続すれば、このマルチチップモジュール2を動作させることが可能となる。

【0034】以上は、中継チップ部品上に設けたボンディングパッドと金属薄膜配線とによって中継ワイヤー同士を電氣的に接続させ、それによって半導体チップ部品同士を電氣的に接続させた場合を説明したが、図3に示すように、中継ワイヤー4、をボンディングパッド31、表面にボンディングする際、切断せずに中継ワイヤー4、又は金線ワイヤー14として引き出すステッチボンディングによって接続してもよい。

【0035】また、前記パワーMOS-FETチップ6、のゲートは、リードフレーム8、を介し、金線ワイヤー14によってICチップ6、に接続されているが、前記中継チップ部品3とは別の中継チップ部品を設け、中継ワイヤーによってゲートとICチップ6、とを接続してもよい。

【0036】なお、上述の半導体チップ部品は、パワーMOS-FETチップやICチップに限定されるものではなく、パワートランジスタチップやサイリスタチップであってもよい。パッケージの材質もエポキシ樹脂に限定されるものではなく、例えばシリコン樹脂等のマルチチップモジュールのパッケージを構成できる材料が広く含まれる。また、金属薄膜もアルミニウム薄膜に限定されるものではない。

【0037】半導体チップをリードフレームへ固定する\*

\*材料については、上述のように、半田や銀ペーストに限定されるものではない。リードフレームの材質も、電気伝導性があり、電子部品が搭載できるものであれば銅合金には限らない。

【0038】以上は、パワーMOS-FETチップやICチップ等の半導体チップ同士を相互に電氣的に接続する場合について説明したが、1個のICチップ中の離れた位置にあるボンディングパッド同士を中継チップ部品と中継ワイヤーとを介して接続することも可能であり、ICチップのパターン設計の自由度を向上させることができる。

【0039】

【発明の効果】絶縁基板を用いずに離れた位置にある半導体チップ同士を電氣的に接続することが可能となる。また、熱膨張係数が異なる部品を用いなくとも済み、熱サイクルに対する信頼性が向上する。セカンドボンディングが容易になるので、歩留まりが向上する。

【図面の簡単な説明】

【図1】 本発明の一実施の形態のマルチチップモジュールの平面図

【図2】 中継チップ部品の一例の拡大斜視図

【図3】 他の中継チップ部品の例

【図4】 (a): 従来技術のハイブリッドICの斜視図

(b): その内部平面図

(c): その内部断面図

【符号の説明】

2……マルチチップモジュール 3、33……中継チップ部品

4、4、4、4、……中継ワイヤー

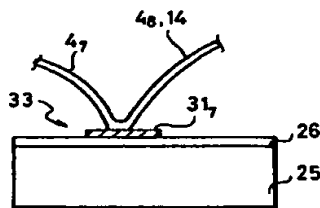
5、5、……リードフレーム 6、6、……半導体チップ部品

7……パッケージ

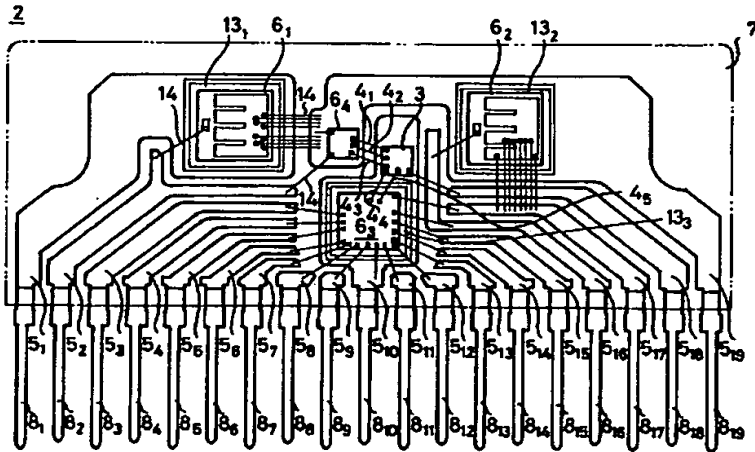
21、21、31、……金属薄膜 22、22、……金属薄膜配線

25……半導体基板 26……絶縁膜

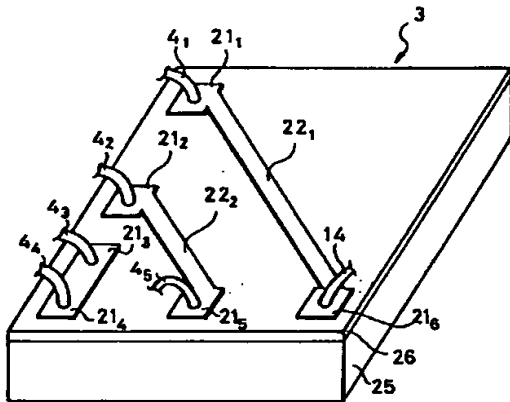
【図3】



【図1】



【図2】



【図4】

